

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 05347374 A

(43) Date of publication of application: 27 . 12 . 93

(51) Int. Cl

H01L 23/50

H01L 21/60

H01L 23/28

(21) Application number: 05017627

(71) Applicant:

FUJITSU LTD KYUSHU FUJITSU
ELECTRON:KK

(22) Date of filing: 04 . 02 . 93

(72) Inventor:

SATO MITSUTAKA
KASAI JUNICHI
YOSHIMOTO MASANORI
TAKESHITA KOICHI

(30) Priority: 14 . 04 . 92 JP 04 94524

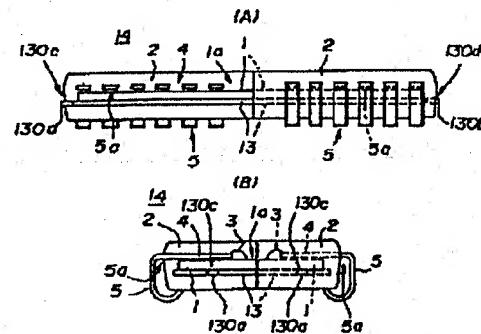
(54) SEMICONDUCTOR DEVICE AND MANUFACTURE
THEREOF

(57) Abstract:

PURPOSE: To reduce a size of a package approximately up to a size of a semiconductor chip regarding a semiconductor device whose lead is packaged in three dimensional structure and its manufacturing method.

CONSTITUTION: This device is provided with a plane-shaped stage 13, a semiconductor chip 1 mounted on the stage 13, a plurality of inner leads 4 electrically connected to the semiconductor chip 1 and sealing resin 2 which seals the stage 13, the semiconductor chip 1 and a plurality of inner leads 4 inside with each of a plurality of inner leads 4 spaced a specified distance apart from a circuit formation side 1a of the semiconductor chip 1. In the inside of the sealing resin 2, the stage 13 is formed almost plane overall.

COPYRIGHT: (C)1993,JPO&Japio



(3) 類似技術

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-347374

(43)公開日 平成5年(1993)12月27日

(51)Int.Cl.	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 23/50		G 9272-4M		
		U 9272-4M		
21/60	3 0 1	B 6918-4M		
23/28		A 8617-4M		

審査請求 未請求 請求項の数15(全 16 頁)

(21)出願番号	特願平5-17627
(22)出願日	平成5年(1993)2月4日
(31)優先権主張番号	特願平4-94524
(32)優先日	平4(1992)4月14日
(33)優先権主張国	日本 (JP)

(71)出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中1015番地
(71)出願人	000142470 株式会社九州富士通エレクトロニクス 鹿児島県薩摩郡入来町副田5950番地
(72)発明者	佐藤 光孝 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
(72)発明者	河西 純一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
(74)代理人	弁理士 伊東 忠彦

最終頁に続く

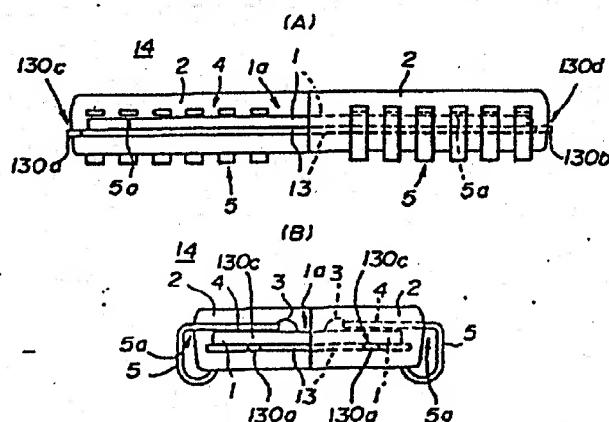
(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【目的】 リードが3次元構造にパッケージされた半導体装置及びその製造方法に関し、パッケージの寸法を略半導体チップの寸法にまで小型化する。

【構成】 平板形状からなるステージ13と、ステージ13に載置される半導体チップ1と、半導体チップ1と電気的に接続される複数のインナーリード4と、複数のインナーリード4を半導体チップ1の回路形成面1aに対し所定距離離間させてステージ13と半導体チップ1と複数のインナーリード4とを内部に封止する封止樹脂2とを具備した半導体装置15において、封止樹脂2内部ではステージ13が全面にわたり偏平面となるよう構成した。

半導体装置の第1実施例の半導体チップを示す二面図



【特許請求の範囲】

【請求項1】 平板形状からなるステージ(13)と、該ステージ(13)に載置される半導体チップ(1)と、該半導体チップ(1)と電気的に接続される複数のインナーリード(4)と、

該複数のインナーリード(4)夫々を該半導体チップ(1)の回路形成面(1a)に対し所定距離離間させて、該ステージ(13)と該半導体チップ(1)と該複数のインナーリード(4)とを内部に封止する封止樹脂(2)とを具備した半導体装置(15)において、該封止樹脂(2)内部では該ステージ(13)が全面にわたり偏平面とされたことを特徴とする半導体装置。

【請求項2】 前記複数のインナーリード(4)の夫々前記回路形成面(1a)に対向する面上に前記回路形成面(1a)と離間して緩衝材(100)を配設したことを特徴とする請求項1記載の半導体装置。

【請求項3】 ステージ(13, 51a, 51b, 56, 59)と、
該ステージ(13, 51a, 51b, 56, 59)の上面に載置される半導体チップ(1)と、
インナーリード(4)とアウターリード(5)とからな

る複数のリードと、
前記アウターリード(5)が外側へ延出するように該半導体チップ(1)及び前記インナーリード(4)を封止する封止樹脂(2)とを有する半導体装置において、各インナーリード(4)は、該半導体チップ(1)の回路形成面(1a)の上方に位置し、かつ、該半導体チップ(1)と電気的に接続している先端部を有し、前記インナーリード(4)と該半導体チップ(1)の回路形成面(1a)との間には空間が形成されており、該封止樹脂(2)は前記空間を保つことを特徴とする半導体装置。

【請求項4】 前記ステージ(51a, 51b, 56, 59)は、前記半導体チップ(1)の一部のみを支持する任意の形状を有することを特徴とする請求項3記載の半導体装置。

【請求項 5】 前記ステージ（13）よりこれと同一平面上で外側へ延出すると共に製造工程において該ステージ（13）を支持するステージサポート部（130a, 130b）を更に有し、該ステージサポート部（130a, 130b）は前記アウターリード（5）とは異なる高さ位置を有すると共に前記封止樹脂（2）より露出している端部を有することを特徴とする請求項3又は4記載の半導体装置。

【請求項 6】 前記インナーリード(4)のうち任意のインナーリード(4)は前記ステージサポート部(130a, 130b)の上方に延在する部分を有することを特徴とする請求項5記載の半導体装置。

の少なくとも一部は前記封止樹脂(2)より露出していることを特徴とする請求項4乃至6のうちいずれか一項記載の半導体装置。

【請求項 8】 半導体チップ(1)をステージ(13, 51a, 51b, 56, 59)上に載置するステップ(a)と、

該半導体チップ(1)の回路形成面(1a)の上方に位置するインナーリード(4)の先端部を該半導体チップ(1)と電気的に接続するステップ(b)と、

10 前記インナーリード(4)と共にリードを構成するアウターリード(5)が外側へ延出するように、かつ、前記インナーリード(4)と該半導体チップ(1)の回路形成面(1a)との間に所定の空間が形成されるように該半導体チップ(1)と前記インナーリード(4)とを封止樹脂(2)により封止するステップ(c)とを有することを特徴とする半導体装置の製造方法。

【請求項9】 前記ステージ(13, 51a, 51b, 56, 59)は、前記ステップ(a), (b)及び(c)が行われる間該ステージ(13, 51a, 51b, 56, 59)より外側へ延出するステージサポート部(130a, 130b)により支持され、前記インナーリード(4)の高さ位置は、該ステップ(b)が行われる間該ステージ(13, 51a, 51b, 56, 59)の高さ位置よりも高いことを特徴とする請求項8記載の半導体装置の製造方法。

【請求項 10】 前記ステップ (a) は、第1の枠部 (151) と、前記ステージ (13, 51a, 51b, 56, 59) と、該ステージ (13, 51a, 51b, 56, 59) を該第1の枠部 (151) へ接続するステ

30 一ジサポート部 (130a, 130b) とを有するステージフレーム (9) を用い、該ステージサポート部 (130a, 130b) は該ステージ (13, 51a, 51b, 56, 59) の高さ位置が前記半導体チップ (1) の厚さに対応する距離だけ該第1の枠部 (151) の高さ位置より低くなるように曲げ部 (10) を有し、前記ステップ (b) は、第2の枠部 (152) と、前記アウターリード (5) を介して該第2の枠部 (152) へ接続するリードとを有するリードフレーム (8) を用い、電気的接続を行う前に該リードフレーム (8) を該
40 ステージフレーム (9) の上に重ねることを特徴とする
請求項 8 又は 9 記載の半導体装置の製造方法。

【請求項 11】 前記ステージサポート部(130a, 130b)の曲げ部(10)は、前記ステージ(13, 51a, 51b, 56, 59)の伸縮を吸収するために他の部分より薄い部分を有することを特徴とする請求項 10記載の半導体装置の製造方法。

【請求項 12】 前記ステップ (c) は、前記リードフレーム (8) と前記ステージフレーム (9) とを挟む上

金型(24, 23)は前記ステージ(13, 51a, 51b, 56, 59)の前記第1の枠部(151)に対する高さ位置を修正することを特徴とする請求項10又は11記載の半導体装置の製造方法。

【請求項13】前記ステップ(a)は、前記ステージサポート部(130a, 130b)の曲げ部(10)が前記金型(24, 23)の使用により生じる歪を吸収する手段を有するステージフレーム(9)を用いることを特徴とする請求項12記載の半導体装置の製造方法。

【請求項14】前記ステップ(b)は、前記ステージ(13, 51a, 51b, 56, 59)を前記封止樹脂(2)内において前記インナーリード(4)と略平行に保つために、前記ステップ(c)で該封止樹脂(2)が形成される領域の外側の領域において前記ステージフレーム(9)と前記リードフレーム(8)との間に介在するスペーサ(140)を用い、前記金型(24, 23)は該スペーサ(140)と協同して該ステージ(13, 51a, 51b, 56, 59)の前記第1の枠部(151)に対する高さ位置を修正することを特徴とする請求項12又は13記載の半導体装置の製造方法。

【請求項15】前記ステップ(c)は、前記ステージ(13, 51a, 51b, 56, 59)の底面の少なくとも一部が露出するように前記封止樹脂(2)による封止を行うことを特徴とする請求項8乃至14のうちいずれか1項記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、樹脂封止型の半導体装置及びその製造方法に係り、特にリードが3次元構造にパッケージされた半導体装置及びその製造方法に関する。

【0002】近年、樹脂封止型半導体は、半導体チップが大型化しているにもかかわらず、パッケージ自体には小型化が要求され、2次元構造のリードフレームを使用した半導体装置では、その小型化に限界があり、その機械的強度、信頼性等に問題が生じている。

【0003】そこで、リードを半導体チップのこれまで使用していなかった下面に配置するCOL(Chip on Lead)構造、あるいは上面に配置するLOC(Lead on Chip)構造等の3次元構造の半導体装置が種々様々提案されている。

【0004】

【従来の技術】図27は、従来のLOC構造の半導体装置の一例を示す図であり、同図(A)はパッケージの内部を透視して示す平面図、同図(B)は同図(A)中A-A線に沿った縦断面図である。

【0005】図27に示すLOC構造では、所定の形状に形成されたインナーリード4は、半導体チップ1の同

ブ1とインナーリード4との間には絶縁材6が接着されて介在し、インナーリード4と半導体チップ1の回路形成面1aとの絶縁が保たれている。

【0006】しかし、上記の構造では半導体チップ1とインナーリード4の間に絶縁材6を配しているため、この絶縁材6と封止樹脂2との適合性が悪い場合、あるいは接着力が不十分な場合に、パッケージング後に封止樹脂2にクラックが生じる問題がある。

【0007】更に、半導体チップ1の回路形成面1a上に介在する薄い絶縁材6上に半導体チップ1と線膨張係数の異なる金属からなるインナーリード4が配置されるため、半導体チップ1の発熱によって半導体チップ1の表面に応力が生じて半導体回路が変形してしまう等、半導体装置の信頼性が損なわれる問題があった。

【0008】又、絶縁材の使用により従来の製造工程、装置が使用できず、新規の装置の導入等により半導体装置の製造コストが上昇してしまう問題もあった。

【0009】そこで本出願人は、上記の欠点を解消してパッケージの小型化の可能な三次元構造の半導体装置として、図28に示すLOC構造の半導体装置を特開昭59-66157(特公平4-1503)により提案している。図28において(A)はパッケージの内部を透視して示す正面図、(B)はリードフレームの平面図、(C)はステージフレームの平面図である。

【0010】図28に示すLOC構造の半導体装置には、枠部15に連結されて所定の形状に形成されたアウターリード5、インナーリード4を有するリードフレーム8と、枠部15と段差を形成するよう曲げ加工部10を介して枠部15の中心位置に連結された長方形のステージ13を有するステージフレーム9とが配設されている。

【0011】そして、図示のとおり半導体チップ1をステージ13に載置し、リードフレーム8とステージフレーム9とを重ね合わせて封止樹脂2によってパッケージングして装置を構成している。なおこの時、半導体チップ1とインナーリード4とはステージフレーム9に曲げ加工部10を形成することにより互いに離間して配設される。

【0012】従って、半導体チップ1とインナーリード4とは、それらの間に介在する封止樹脂2により絶縁される。このように、前記の装置のように絶縁材を使用することがないため、絶縁材に起因する前記の問題点が解決されている。

【0013】

【発明が解決しようとする課題】しかしながら上述の半導体装置では、半導体チップ1をステージ13に載置してインナーリード4との間に空隙部を構成するための曲げ加工部10をパッケージ内部に有しているため、パッ

【0014】上記の点に鑑み本発明では、パッケージの寸法を略半導体チップの寸法まで小型化することの可能な半導体装置及びその製造方法を提供することを目的とする。

【0015】

【課題を解決するための手段】上記の問題は以下のとおり構成することにより解決される。

【0016】請求項1の発明では、平板形状からなるステージと、ステージに載置される半導体チップと、半導体チップと電気的に接続される複数のインナーリードと、複数のインナーリード夫々を半導体チップの回路形成面に対し所定距離離間させてステージと半導体チップと複数のインナーリードとを内部に封止する封止樹脂とを具備した半導体装置において、封止樹脂内部ではステージが全面にわたり偏平面とされるよう構成した。

【0017】請求項3の発明では、ステージと、ステージの上面に載置される半導体チップと、インナーリードとアウターリードとからなる複数のリードと、アウターリードが外側へ延出するように半導体チップ及びインナーリードを封止する封止樹脂とを有する半導体装置において、各インナーリードは、半導体チップの回路形成面の上方に位置し、かつ、半導体チップと電気的に接続している先端部を有し、インナーリードと半導体チップの回路形成面との間には空間が形成されており、封止樹脂は前記空間を保つよう構成した。

【0018】請求項8の発明では、半導体チップをステージ上に載置するステップと、半導体チップの回路形成面の上方に位置するインナーリードの先端部を半導体チップと電気的に接続するステップと、インナーリードと共にリードを構成するアウターリードが外側へ延出するように、かつ、インナーリードと半導体チップの回路形成面との間に所定の空間が形成されるように半導体チップと前記インナーリードとを封止樹脂により封止するステップとにより構成した。

【0019】

【作用】請求項1、請求項3及び請求項8の構成によれば、インナーリードと半導体チップとの間に絶縁材を配設することなく封止樹脂内部のステージ全面にわたり半導体チップが載置される。

【0020】

【実施例】図1は本発明になる半導体装置の第1実施例を示す図であり、(A)は正面図、(B)は側面図である。両図の左半分は、説明の便宜上パッケージの内部を透視した図となっている。

【0021】図1に示す半導体装置14は、ステージ13と、ステージ13に載置される半導体チップ1と、半導体チップ1と離間して半導体チップ1の上方に配設されるインナーリード4とを、封止樹脂2により封止した

【0022】ステージ13は略長方形で平板状であり、同図(A)中左端部に突出する2つのステージサポート部130aと右端部に突出する2つのステージサポート部130bを有している。ステージサポート部130aと130bの先端部は封止樹脂2から露出している。ステージ13の上には、略長方形でステージ13より僅かに小さい半導体チップ1が接着され、固定されている。半導体チップ1の上面(回路形成面)1-aには回路が形成されている。

10 10 【0023】半導体チップ1の回路形成面1-aの上方には、回路形成面1-aと離間して、複数のインナーリード4が互いに等間隔で配設されている。各インナーリード4はポンティングワイヤ3により半導体チップ1と電気的に接続されている。

【0024】同図(A)の通り、各インナーリード4とステージ13との間隔は略一定とされ、各インナーリード4と回路形成面1-aとの間隔も略一定とされている。又、両図に示す通り、各インナーリード4は、ステージ13及び回路形成面1-aと略平行な状態で半導体チップ1の上部中央から封止樹脂2の外部に直列な状態で延出してアウターリード5となる。

20 20 【0025】半導体装置14を封止樹脂2の外部から見ると、封止樹脂2から露出したステージサポート部13a及び13bの夫々半導体チップ1が載置される側の面130c及び130dと、アウターリード5の封止樹脂2から露出する部位の夫々回路形成面1-aに対向する側の面5aとは、半導体チップ1の厚み寸法とインナーリード4と回路形成面1-aとの間隔との略和の距離だけ各面に垂直方向に離間して略平行に配設されている。従って、インナーリード4とステージ13とは、少なくとも封止樹脂2内において略平行である。

30 30 【0026】アウターリード5は、封止樹脂2の外部で同図(B)中下方に略直角に折り曲げられ、更に「J」字形状となるよう形成される。アウターリード5を外部回路(図示せず)に接続することにより、半導体チップ1は外部回路と電気的に接続される。

【0027】次に、図2乃至図7とともに、本発明になる製造方法の第1実施例である上記の半導体装置14の製造方法について説明する。

40 40 【0028】図2乃至図4は、夫々半導体装置14の構成要素を示す図である。図2は半導体チップを表す平面図、図3はステージフレームを表す三面図、図4はリードフレームを表す三面図である。図3及び図4において、(A)は平面図、(B)は正面図、(C)は側面図である。

【0029】図2に示すとおり、半導体チップ1の回路形成面1-aの中央部の所定の位置には、半導体装置の端子数(即ち、アウターリード5の数)に応じた所定数の

は、半導体チップ1が載置される長方形のステージ13が、ステージサポート部130a, 130bによって図中上下方向に延在する枠部15₁に連結されて構成されている。ステージ13の寸法は、縦方向、横方向ともに半導体チップ1より僅かに大とされている。ステージサポート部130a, 130bは、ステージ13に対して偏平にステージ13から突出した後図中上向きに折り曲げられる曲げ加工部10を有し、さらに枠部15₁に対して偏平となるよう折り曲げられて枠部15₁に連結される。これにより、ステージ13の上面は枠部15₁の上面に対して図中上下方向にdだけ離間している。この距離dは、半導体チップ1の図2には現れない厚み寸法よりも大とされている。

【0031】枠部15₁には、複数の位置決め孔16が形成されている。位置決め孔16は、製造工程において枠部15₁の位置決めを行うのに用いられる。位置決め孔16は、橢円形状のものと円形状のものを含む。橢円形状の位置決め孔16は、製造工程における枠部15₁の伸縮を吸収する目的で設けられる。従って、図3(A)では4つの位置決め孔16しか示されておらず、このうち1つの位置決め孔16が橢円形状を有するが、実際には複数の位置決め孔16が所定の間隔で配設されている。又、橢円形状の位置決め孔16は、枠部15₁の一端に沿って設けても両端に沿って設けても良い。

【0032】又、図4に示すとおり、リードフレーム8は平板状に形成されており、インナーリード4とインナーリード4から延出したアウターリード5とが、枠部15₂と連結部18によって連結されて構成されている。リードフレーム8は、インナーリード4の先端が半導体チップ1のボンディングパッドの位置に対してワイヤボンディングが容易な位置に位置するような形状に打ち抜き加工されている。

【0033】枠部15₂には、枠部15₁に位置決め孔16が形成されるのと同じ理由で位置決め孔16が形成されている。枠部15₂の位置決め孔16と枠部15₁の位置決め孔16とは、互いの位置決めが正確に行えるように互いに対応する位置に形成されている。

【0034】上記のステージフレーム9のステージ13上面に半導体チップ1が接着固定され、更にリードフレーム8が位置決め孔16により位置合わせされてステージフレーム9の上面に重ね合わされた後に、ワイヤボンディング工程においてインナーリード4と半導体チップ1とがワイヤボンディングされる。

【0035】次に、図5は本製造方法の実施例に使用する金型(下型)の概略を説明するための概念図である。図5中、位置決めピン17は、重ねあわされたリードフレーム8とステージフレーム9の位置決め孔16に挿通され、各フレームと金型の位置合わせがされる。尚、同

10 【0036】下型23は、概略、図5において異なるハッキングにより示した3種の堀りの深さにより構成されており、上型(図示せず)は下型23の各堀りの深さに対応した形状とされている。

【0037】下型23は、最も堀りの深い長方形のパッケージ部25aと、パッケージ部25aの次に堀りの深い、パッケージ部25aから図5中上下に突出する4箇所のサポート部19と、サポート部19と同じ堀りの深さの、パッケージ部25aの中央から下に突出するゲート部21と、最も堀りの浅いパッケージ部25aの周囲の長方形のリード部20により構成される。

【0038】パッケージ部25aの縦横寸法は、ステージの縦横寸法よりもより僅かに大きい。サポート部19はパッケージ部25aから図5中上と下に各二箇所突出し、枠部15₁の端部まで延在する。ゲート部19は同図中下方に延在した後、枠部15₁の長手方向(左右方向)に延在しゲート部19と同じ堀りの深さのランナ部22と連通する。

【0039】20 一体的に重ね合わされたリードフレーム8(図4)とステージフレーム9(図3)は、夫々の枠部15₁, 15₂の位置決め孔16に下型23の位置決めピン17が挿通されるよう下型23に載置された後、樹脂封止される。

【0040】図6(A)～(D)は、本発明になる製造方法の第2実施例を説明するための図であり、重ね合わされたリードフレーム8とステージフレーム9とが下型23に載置され、さらにその上に上型24が載置された状態を夫々示している。図6(C)は平面図、図6(A)は同図(C)中I-I線に沿った断面図、図6(B)は同図(C)中II-II線に沿った断面図、図6(D)は同図(C)中III-III線に沿った断面図である。

【0041】40 図6において、上型24は、前述の下型23とともに、夫々パッケージ部25aから延出する偏平形状のリードフレーム8のアウターリード5と、ステージサポート部130a, 130bを有するステージフレーム9とを所定の位置に保持して挟持する形状とされている。即ち、上型24は、下型23のパッケージ部25aと対応する位置にパッケージ部25aと同一形状で掘られたパッケージ部25bと、リードフレーム8とステージフレーム9夫々の枠部15を支持する平坦部26と、サポート部19とともにステージサポート部13a, 13bを支持する突出部27により構成されている。

【0042】そして、ランナ部22よりゲート部21を介して封止樹脂を注入することにより、次に図7に示す半導体装置14の半成品14aが得られる。図7(A)はパッケージ内部を透視して示す正面図、同図

ト部130a, 130bを一点鎖線の位置で切断し、アウターリード5を所定の長さに切断し、更に図4に示した連結部18を切断して各リードを分離した後に、所定のリード形状にフォーミングすることにより、図1に示した半導体装置14が得られる。

【0044】以上のように製造した3次元構造で構成される半導体装置14は、封止樹脂2内部の偏平なステージ13全面にわたって半導体チップ1が載置されるため、封止樹脂2よりも僅かに小さく、かつ、従来よりも大きな半導体チップ1を封止することが出来、パッケージを小型化することが出来る。

【0045】又、インナーリード4と半導体チップ1の回路形成面1aとの間は封止樹脂2により封止されて、絶縁材が介在することがない。従って、絶縁材に起因する機械的な問題が発生することなく信頼性が高い。

【0046】上記の3次元構造の半導体装置14は、前述の製造方法によらなくとも、他の方法によって製造することが考えられる。次に示す図8は、本発明になる製造方法の第3実施例を説明するための図である。図8において、(A)は平面的な概念図、(B)は図8(A)中IV-IV線における断面図、(C)は図8(A)中V-V線における断面図である。

【0047】図8において、ステージ13に半導体チップ1が接着固定されたステージフレーム9aの枠部151の上に、枠部151と同じ幅寸法を有しハッチングで示されているスペーサ30が載置される。更に、スペーサ30の上にリードフレーム8の枠部152が夫々位置合わせされて重ね合わされ、これらが下型23aと上型24aにより保持されている。

【0048】スペーサ30の断面形状は長方形であり、その厚み寸法は半導体チップ1よりも大きい。従って、インナーリード4は半導体チップ1の回路形成面1aと離間している。スペーサ30の線膨張率は、リードフレーム8及びステージフレーム9aの線膨張率と略等しくされている。

【0049】上記のステージフレーム9aは、図3に示すステージフレーム9と同様の平面形状で、サポート支持部130e, 130fに曲げ加工部を有しない平板形状である。ステージフレーム9aには、リードフレーム8の位置決め孔16と対応する位置に位置決め孔16aが形成されている。又、スペーサ30にも、位置決め孔16, 16aと対応する位置に位置決め孔16bが形成されている。

【0050】下型23aは、ステージフレーム9aの枠部151に当接して支持する平坦部31と、半導体チップ1を封止樹脂2により封止するための深く掘られたパッケージ部25aと、図4に示す如くリードフレーム8の枠部152から突出する突出部15a, 15bに当接

aにより構成される。

【0051】上型24aは、リードフレーム8の枠部152に当接する平坦部34と、ステージフレーム9aのステージサポート部130e, 130fに上方から当接する突出部35と、半導体チップ1を封止樹脂2により封止するための深く掘られたパッケージ部25bと、ゲート部21aとランナ部22aとを連通させるための浅く掘られた連通部36により構成される。

【0052】そして、ランナ部22aよりゲート部21aを介して封止樹脂2を注入することにより、前記の製造方法によるのと同様、図7に示した半導体装置14の半完成品14aが得られる。

【0053】この製造方法によれば、ステージフレームり曲げ加工の必要がないので製造工程を簡略化出来るとともに、前記の製造方法に使用する金型23, 24に比べて、金型(上型24a及び下型23b)を簡単な形状と出来て金型コストを安価に出来る利点がある。

【0054】次に示す図9は、本発明になる製造方法の第4実施例を説明するための図である。図9において、(A)は平面的な概念図、(B)は図9(A)中VI-VI線における断面図、(C)は図9(A)中VII-VII線における断面図である。図9中、図8と同一部分には同一符号を付し、その説明は省略する。

【0055】図9において、ハッチングで示すスペーサ30aは位置決め孔16cを有しており、位置決め孔16cはリードフレーム8とステージフレーム9a夫々の位置決め孔16, 16aと対応する位置に形成されている。

【0056】同図に示す如く、ステージフレーム9aと、スペーサ30aと、リードフレーム8とが夫々位置合わせされて重ね合わされ、これらが下型23bと上型24bにより保持される。スペーサ30aの断面形状は長方形であり、その厚み寸法は半導体チップ1の厚み寸法よりも大きく、リードフレーム8のインナーリード4は半導体チップ1の回路形成面1aと離間している。

【0057】スペーサ30aの線膨張率は、スペーサ30の線膨張率と同様、リードフレーム8及びステージフレーム9aの線膨張率と略等しくされている。

【0058】下型23bは、ステージフレーム9aの枠部151に当接して支持する平坦部41と、半導体チップ1を封止樹脂2により封止するための深く掘られたパッケージ部25aと、ゲート部21bと連通するランナ部22bにより構成される。

【0059】他方、上型24bは、リードフレーム8の枠部152に当接する平坦部42と、半導体チップ1を封止樹脂2により封止するための深く掘られたパッケージ部25bと、ランナ部22bと連通する浅く掘られたゲート部21bにより構成され

チップ1側の側面30bと、下型23bのパッケージ部25aの側面25cにより、連続する面が構成されている。

【0061】そして、ランナ部22bよりゲート部21bを介して封止樹脂2を注入することにより、上記の2つの製造方法と同様、図7に示した半導体装置14の半成品14aが得られる。

【0062】この製造方法によれば、ステージフレーム9aの曲げ加工の必要がなく製造工程を簡略化出来るのに加え、金型（上型24b及び下型23b）を図8に示した金型23a、24aよりも更に簡単な形状に出来、金型コストを更に安価に出来る優れた特徴がある。

【0063】次に、上記の半導体装置の製造方法におけるボンディング工程について説明する。上記の各製造方法により半導体チップ1とインナーリード4とをワイヤボンディングする際には、リードフレーム8とステージフレーム9とが重ね合わされた状態において、半導体チップ1の回路形成面1aとインナーリード4とは離間している。

【0064】従って、従来行われている超音波を利用したワイヤボンディングを行うと、インナーリード4のボンディング部分が振動するため、確実にワイヤボンディングを行うことが困難である。そこで、上記のLOC構造の半導体装置を製造する場合は、以下のような方法により、信頼性の高いワイヤボンディングを行うことが望ましい。

【0065】図10は、本発明の製造方法におけるワイヤボンディング工程を説明する図である。図10において、(A)はワイヤボンダの概略構成を示す図、(B)及び(C)夫々はボンディング工程を説明するための図である。

【0066】図10(A)において、ワイヤボンディングされる半導体チップ1はステージフレームのステージ13上に載置され、半導体チップ1の上には回路形成面1aと離間してリードフレームのインナーリード4aが所定数配設されている。インナーリード4aの先端の回路形成面と対向する下面には、緩衝材100が配設されている。

【0067】半導体チップ1の回路形成面1aの中央には、複数のアルミニウム電極からなるボンディングパッド7が配設されている。リードフレームとステージフレームとは一体に重ね合わされてヒータ103の上に載置されている。

【0068】半導体チップ1の上方には、ワイヤボンダの一部であるキャビラリ101が位置している。キャビラリ101にはボンディングワイヤの直徑より僅かに大きい直徑の孔が配設されており、この孔に挿通されて、ボンディングワイヤが案内されて供給される。キャビラ

12 振動して、ボンディングワイヤを超音波融着する。

【0069】インナーリード4aの上方には、ワイヤボンダの一部であるフレーム押さえ102が配設されている。フレーム押さえ102は、図示のとおり先端部を「L」字形状に形成され、先端部がA-B方向に回動するよう構成されている。

【0070】図10(B)に示す如く、フレーム押さえ102をA方向に回動させてインナーリード4aに上から適当な荷重をかけ、緩衝材100を半導体チップ1の回路形成面1aに当接させる。このとき、大きな荷重をかけすぎて回路形成面1aが破損することがなく、かつ、ボンディングワイヤ3が接続されるインナーリード4aの先端部が回路形成面1aに当接して機械的に安定して超音波融着を安定的に行えるよう、適当な大きさの荷重がインナーリード4aに加えられる。

【0071】このように、フレーム押さえ102により緩衝材100を図示のとおり回路形成面1aに当接させた状態で、ボンディングワイヤ3がキャビラリ101により案内され、所定のインナーリード4aとボンディングパッド7とがワイヤボンディングされる。

【0072】全てのインナーリード4aに対するワイヤボンディングが終了すると、フレーム押さえ102がB方向に回動してインナーリード4aへの荷重が停止される。この結果、インナーリード4aはそれ自体の弾性力により回路形成面1aと平行となり、インナーリード4aと回路形成面1aとの間には図10(C)に示す如く空隙部が現出する。

【0073】以上の方針により、半導体チップ1とインナーリード4aとをボンディングすることにより、それらの間に空隙部があるLOC構造の半導体装置に対し、信頼性の高いワイヤボンディングを行うことが出来る。統いて図5乃至図9で説明したいすれかの方法により樹脂封止して、図1に示したのと同様の形状で、緩衝材100が回路形成面1aと離間してインナーリード4aに配設された半導体装置が完成する。

【0074】ところで、ステージフレーム9は半導体チップ1の発生する熱をパッケージ外部に放散するが、金属製のステージフレーム9と樹脂製の封止樹脂2との密着により、パッケージ（樹脂製の封止樹脂2）にクラックが生じることがある。このため、ステージフレーム9と封止樹脂2とが密着する面積を極力小さくして、封止樹脂2のクラックを防ぐことが望ましい。

【0075】以下、封止樹脂との密着面積が小さくなるよう構成されたステージフレームの種々様々な実施例を図示し、簡単に説明する。図11はステージフレームの他の例を示す三面図、図12乃至図14はステージフレームの更に他の例を示す三面図であり、各図中、(A)は平面図、(B)は正面図、(C)は側面図である。図

曲げ加工部を有するステージサポート部52a, 52bによって、枠部15に連結され支持される構造とされている。

【0076】図12に示すステージフレーム53は、曲げ加工部を左右両端部に有し、図中左右の枠部15に連結される2つの棒状のサポート部54a, 54bによって、半導体チップ1が支持される構造とされている。

【0077】図13に示すステージフレーム55は、半導体チップ1の中央部を左右方向に支持するステージ56の両端がT字構造57a, 57bに連結され、更にT字構造57a, 57bは、曲げ加工部を有するステージサポート部52a, 52bを介し枠部15に連結される構造とされている。

【0078】図14に示すステージフレーム58は、半導体チップ1の中央部を上下方向に支持するステージ59の両端がステージサポート部52c, 52dを介し枠部15に連結される構造とされている。

【0079】ステージフレーム55のステージ56の構成によれば、半導体チップ1上のポンディングパッドが図13(A)中左右方向に配置されている場合に、ポンディングによる半導体チップ1への荷重を有效地に支持することが出来る。

【0080】ステージフレーム58のステージ59の構成によれば、半導体チップ1上のポンディングパッドが図14(A)中上下方向に配置されている場合に、ポンディングによる半導体チップ1への荷重を有效地に支持することが出来る。

【0081】尚、上記の各ステージフレーム50, 53, 55, 58では、ステージ51a, 51b, 56, 59及びサポート部54a, 54bと枠部15には前述のとおり曲げ加工部によって段差が構成されている。枠部15の上面と、ステージ51a, 51b, 56, 59及びサポート部54a, 54b夫々の上面との上下方向の距離は、勿論半導体チップ1の厚み寸法より大きく構成されている。

【0082】よって、ステージ51a, 51b, 56, 59及びサポート部54a, 54bの上に半導体チップ1を載置し、それらの上に図示しないリードフレーム8を重ね合わせた場合、リードフレーム8と半導体チップ1の回路形成面1aとは離間し、リードフレーム8と半導体チップ1との絶縁が保持される。

【0083】上記の各種ステージフレームを使用しても、半導体チップ1の回路形成面1aとリードフレーム8との間に空隙部が構成される。従って、前述したいずれかの方法により続いて樹脂封止して得られた半導体装置は、前記の半導体装置14と同様、パッケージよりも僅かに小さいだけの大きな半導体チップを封止することが出来る。よって、パッケージを略半導体チップの寸法

サポート部130a, 130bに曲げ加工を施す工程を説明する。図15に示す如く、リードフレーム9はプレスの下側台101に載置されてPに示す部分で固定される。この状態で、上側部102が矢印X方向へ下降して同図中破線で示す如くステージフレーム9を曲げる。

【0084】例えば、ステージサポート部130aは、図16(A)に示す如くプレス加工される前の状態では長さaを有するが、曲げ加工の後では同図(B)に示す如く伸びた長さa' (a' > a)を有する。ここで、ステージフレーム9の厚さをtとすると、曲げ加工の限界はt' = 1.5t ~ 2.0tである。曲げ加工がこの限界を越えてt'が2.0tより大きくなってしまうと、ステージフレーム9はステージサポート部130aの部分で切断されてしまう可能性がある。

【0085】そこで、半導体装置の第1実施例では、ステージサポート部130a, 130bに曲げ部10が設けられている。曲げ部10は、ステージサポート部130a, 130bの曲げ加工を容易にすると共に、ステージフレーム9に曲げ加工が施される際にステージサポート部130a, 130bが切断されてしまうことを防止する。

【0086】図17は、曲げ部10の一実施例を示す。同図中、(A)は平面図、(B)は側面図を示す。本実施例では、ステージサポート部130aに対する曲げ加工を容易にするため、曲げ部10の幅がステージサポート部130aの他の部分より小さく形成されている。例えば、この曲げ部10はステージサポート部130aの一部に対してハーフエッチングを行うことにより形成される。

【0087】図18は、曲げ部10の他の実施例を示す。同図中、(A)は平面図、(B)は側面図を示す。本実施例では、ステージサポート部130aに対する曲げ加工を容易にするため、曲げ部10の幅及び厚さがステージサポート部130aの他の部分より小さく形成されている。例えば、この曲げ部10はステージサポート部130aの一部に対してハーフエッチングを行ったり、プレス処理により厚さを小さくすることにより形成される。

【0088】ところで、半導体装置の第1実施例では、インナーリード4と半導体チップ1の回路形成面1aとの間の空隙部は、半導体チップ1を収納するためにステージフレーム9に形成される空間の形成精度によって決定される。このため、ステージフレーム9に曲げ加工を施す際には、この空隙部の許容誤差を考慮する必要がある。

【0089】パッケージの厚さが比較的大きい場合、上記の如く許容誤差を考慮した曲げ加工は可能であるが、パッケージの厚さが小さい場合には許容誤差を考慮して

ンナーリード4との間に空間を正確に形成することはできない。この結果、インナーリード4と回路形成面1aとの間の空隙部は正確に形成されず、空隙部が小さすぎると封止樹脂2がインナーリード4と回路形成面1aとの間に空間に良好に充填されない。この様に封止樹脂2が空間に良好に充填されないと、半導体装置の信頼性は著しく低下してしまう。

【0090】図19は、ステージフレーム9とインナーリード4との間の空間の目標値Laを示す。例えば、ステージフレーム9は、目標値La±0.1mmの誤差範囲内で曲げられる。

【0091】他方、図20は半導体装置の側面図を示す。封止樹脂2は、インナーリード4の上部では厚さLcを有し、インナーリード4と回路形成面1aとの間では厚さLbを有する。従って、目標値Laの誤差が±0.1mmであると、厚さLbは±0.1mmの範囲でばらつく。半導体装置の全体としての厚さを増大させることなく厚さLbを増大できるように厚さLcを減少可能であれば、厚さLbが±0.1mmばらついても、このばらつきは無視し得る。しかし、半導体装置全体の厚さが比較的小さいと、厚さLcを減少させることは不可能であり、このために、厚さLbを増大させることはできない。

【0092】本発明によると、厚さLb<0.1mmであると、図21に示す如く、インナーリード4と半導体チップの回路形成面1aとの間の空間を封止樹脂2により良好に充填することができなくなることがわかった。この結果、未充填部分200がインナーリード4は回路形成面1aとの間に形成されてしまう。この場合、インナーリード4と回路形成面1aとの間の絶縁が不充分となり、半導体装置の信頼性が著しく低下してしまう。

【0093】次に、本発明になる製造方法の第4実施例を図22と共に説明する。

【0094】本製造方法の実施例は、封止樹脂2により半導体チップ1を封止する際に使用する上下の金型24, 23の精度を利用して上記の問題を解決している。つまり、封止樹脂2が内部へ充填される前に上下の金型24, 23を合わせた際に、特に矢印で示す部分での押圧作用により上下の金型24, 23が強制的に目標値Laを修正する。図22中、左側の矢印で示す部分では、スペーサ140及び下の金型23が協同して目標値Laを修正する。このスペーサ140は、回路形成面1aとインナーリード4との間に空間が形成されるように、半導体チップ1の厚さより大きい厚さを有する。

【0095】この結果、目標値Laの誤差は、図19に示す如くステージフレーム9を曲げる際に生じた誤差にかかわらず、La±0.02mmからLa±0.03m

の空間を保証できる。即ち、図20に示す厚さLbを設計値に形成できる。従って、図21に示す未充填部分200の発生を確実に防止することができる。

【0096】図23及び図24は、夫々上下の金型24, 23を用いた目標値Laの修正を容易にするためのステージサポート部130a(及び130b)の曲げ部10の実施例を示す。図23及び図24中、(A)は平面図、(B)は側面図を示す。図23において、曲げ部10は大略逆U字形状を有する。他方、図24に示す曲げ部10は、ジグザグ形状を有する。これらの曲げ部10の形状は、多少の伸縮を吸収できるので、目標値Laの修正を容易にする。

【0097】次に、本発明になる半導体装置の第2実施例を図25と共に説明する。同図中、図1乃至図4と同一部分には同一符号を付し、その説明は省略する。図25中、(A)は部分平面図、(B)は部分断面図を示す。

【0098】図25(A)中、Yで示す円で囲まれた部分に示されているように、インナーリード4とステージサポート部130aとは平面図上交差する。この平面図上の交差は、2つの枠部151, 152、即ち、ステージフレーム9とリードフレーム8とが、最終的にパッケージには残らない部分の位置決め孔16を用いて重ねられ位置決めされるので可能となる。この様な平面図上の交差が可能であるため、本実施例ではインナーリード4の設計自由度が向上できると言う効果が更に得られる。つまり、上記平面図の交差が不可能な場合に比べて、インナーリード4の設計自由度が増す。

【0099】次に、本発明になる半導体装置の第3実施例を図26と共に説明する。同図中、(A)は正面図、(B)は側面図であり、両図の左半分は説明の便宜上パッケージの内部を透視した図となっている。同図中、図1と同一部分には同一符号を付し、その説明は省略する。

【0100】本実施例では、ステージ13の底面が封止樹脂2より露出している。つまり、ステージ13の底面には、封止樹脂2が形成されない。この結果、ステージ13自体が放熱部として作用し、半導体チップ1の動作時に発生する熱を効率的に放熱可能となる。又、ステージ13の底面に封止樹脂2が形成されないので、2つの枠部151, 152、即ち、ステージフレーム9及びリードフレーム8が用いられるにもかかわらず、半導体装置(パッケージ)の厚さを効果的に減少することも可能となる。

【0101】以上、本発明を実施例により説明したが、本発明はこれらの実施例に限定されることなく、種々の変形及び改良が可能であることは言うまでもない。

との間に絶縁材を配設することなく封止樹脂内部のステージ全面にわたって半導体チップが載置されるので、絶縁材に起因する装置の信頼性の低下を招くことなくパッケージと略等しい大きさの半導体チップが搭載できてパッケージを小型化でき、実用的には極めて有用である。

【図面の簡単な説明】

【図1】本発明になる半導体装置の第1実施例を示す二面図である。

【図2】半導体装置の第1実施例の半導体チップを示す平面図である。

【図3】半導体装置の第1実施例のステージフレームを示す三面図である。

【図4】半導体装置の第1実施例のリードフレームを示す三面図である。

【図5】本発明になる製造方法の第1実施例に使用する金型を説明するための概念図である。

【図6】製造方法の第1実施例を説明するための図である。

【図7】製造方法の第1実施例のある工程で得られる半成品を示す図である。

【図8】本発明になる製造方法の第2実施例を説明するための図である。

【図9】本発明になる製造方法の第3実施例を説明するための図である。

【図10】本発明の製造方法の実施例で用いるワイヤボンディング工程を説明する図である。

【図11】ステージフレームの実施例を示す三面図である。

【図12】ステージフレームの他の実施例を示す三面図である。

【図13】ステージフレームの更に他の実施例を示す三面図である。

【図14】ステージフレームの更に他の実施例を示す三面図である。

【図15】ステージフレームに曲げ加工を施す工程を説明する側面図である。

【図16】ステージフレームのステージサポート部の伸長を説明する側面図である。

【図17】ステージサポート部の一実施例を示す二面図である。

【図18】ステージサポート部の他の実施例を示す二面図である。

【図19】ステージフレームを曲げる際の目標値を説明する側面図である。

【図20】半導体装置の各部における封止樹脂の厚さを説明する側面図である。

【図21】インナーリードを半導体チップの回路形成面との間に形成される未充填部分を説明する側面図である。

【図22】本発明になる製造方法の第4実施例を説明するための側面図である。

【図23】製造方法の第4実施例で用いられるステージサポート部の要部を示す二面図である。

【図24】製造方法の第4実施例で用いられる他のステージサポート部の要部を示す二面図である。

【図25】本発明になる半導体装置の第2実施例を示す二面図である。

【図26】本発明になる半導体装置の第3実施例を示す二面図である。

【図27】従来のLOC構造の半導体装置の一例を示す二面図である。

【図28】従来のLOC構造の半導体装置の他の例を示す図である。

【符号の説明】

1 半導体チップ

1 a 回路形成面

2 封止樹脂

30 4 インナーリード

8 リードフレーム

9, 9a, 50, 53, 55, 58 ステージフレーム

13, 51a, 51b, 56, 59 ステージ

15 半導体装置

23, 23a, 23b 下型

24, 24a, 24b 上型

30, 30a スペーサ

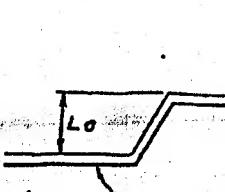
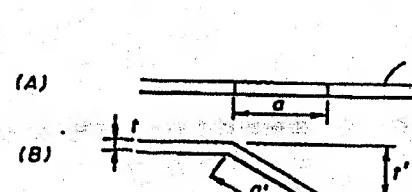
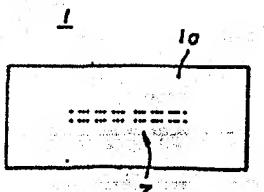
100 緩衝材

【図2】

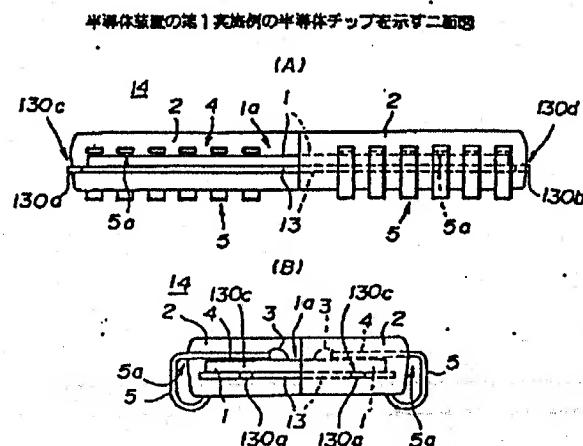
【図16】

【図19】

本発明になる半導体装置の第1実施例を示す平面図 ステージフレームのステージサポート部の伸長を説明する側面図 ステージフレームを曲げる際の目標値を説明する側面図

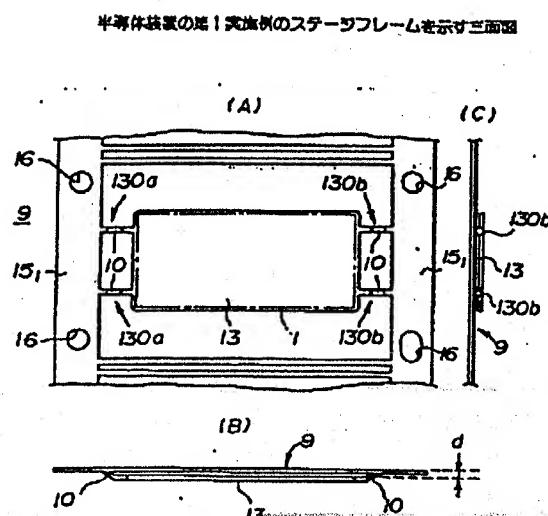


【図1】

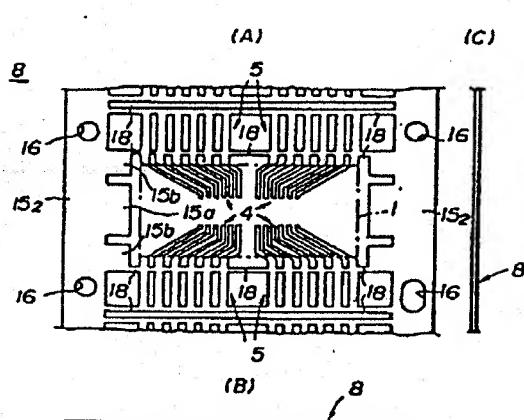


【図4】

【図3】

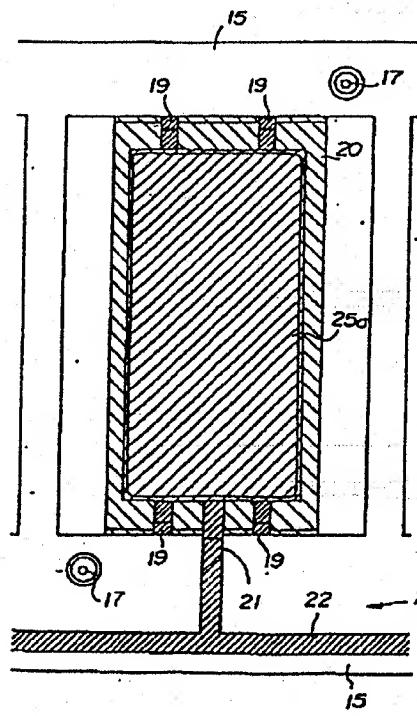
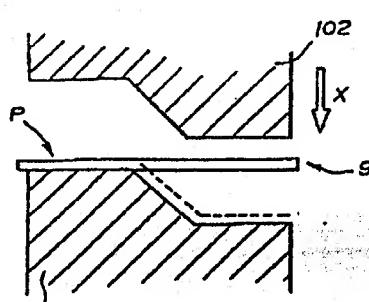


【図5】

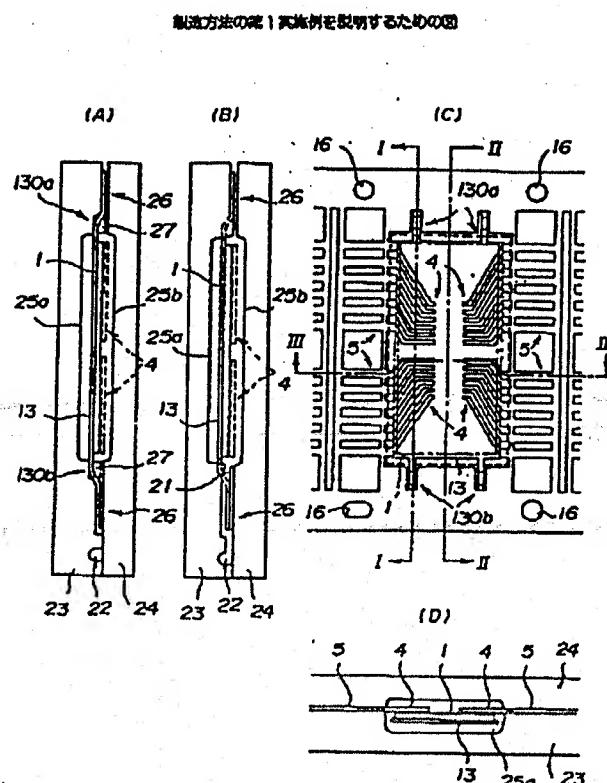
本発明になる製造方法の第1実施例に使用する
金型を説明するための概念図

【図15】

ステージフレームに曲げ加工を施す工程を説明する側面図

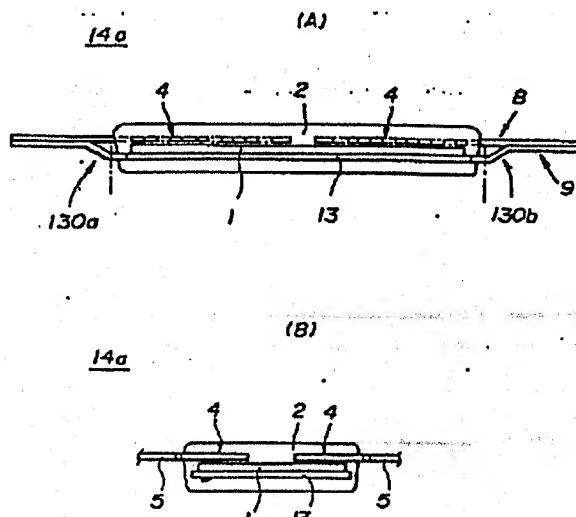


【図6】



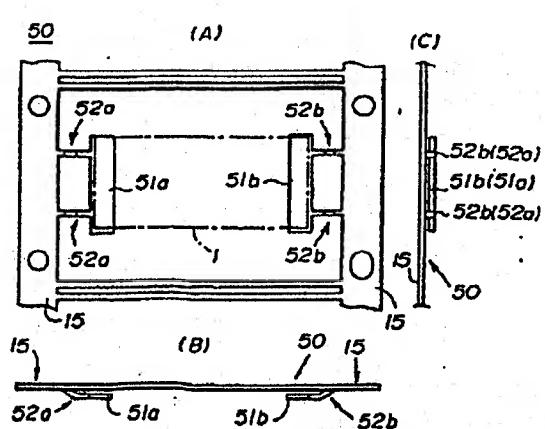
【図7】

製造方法の第1実施例のある工程で得られる半成品を示す図



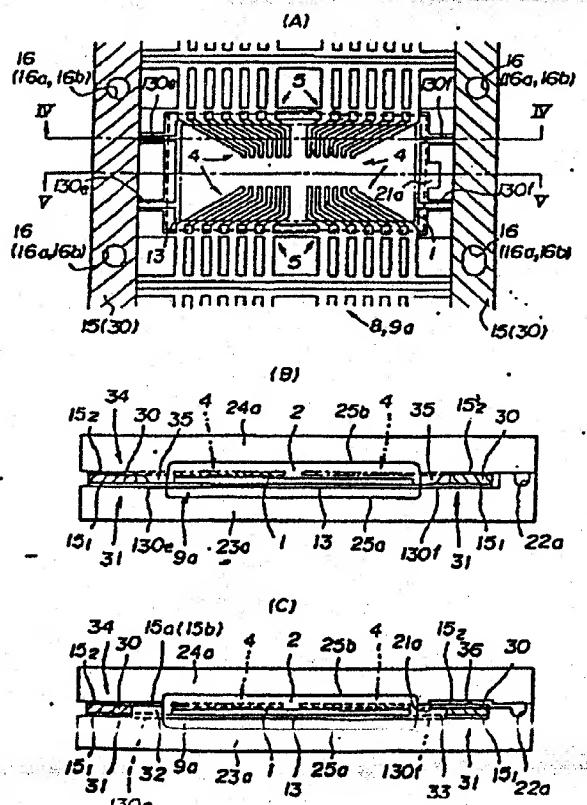
【図11】

ステージフレームの実施例を示す三面図

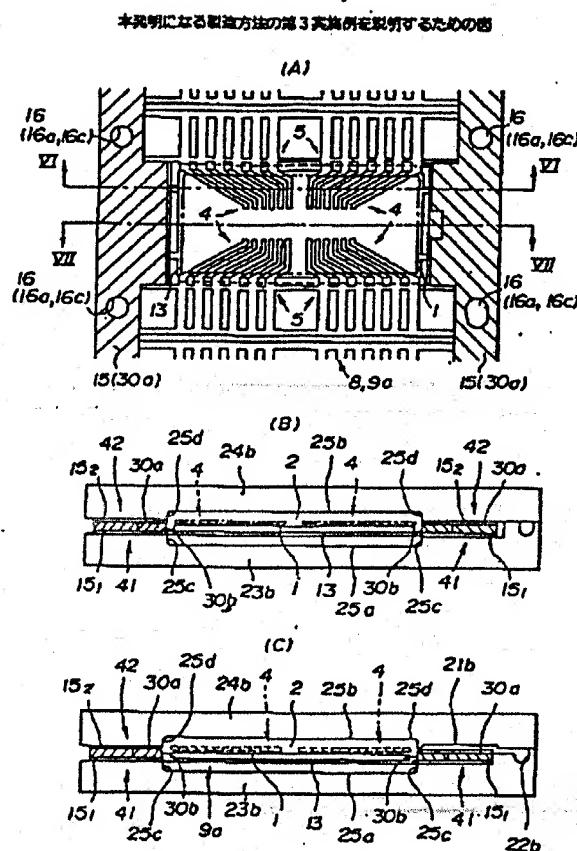


【図8】

本明細による製造方法の第2実施例を説明するための図

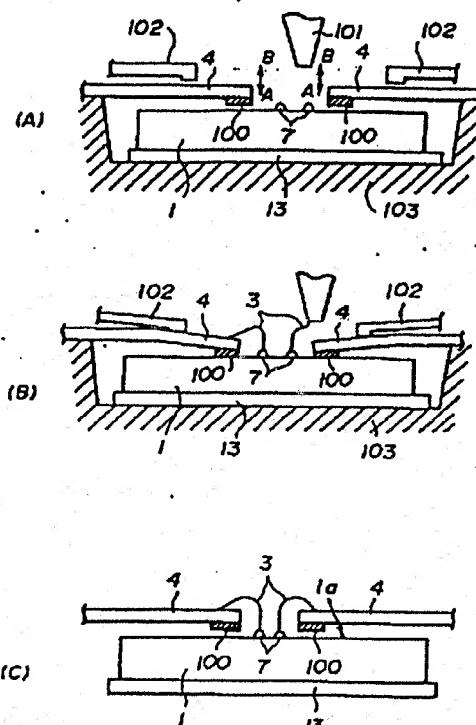


【図9】



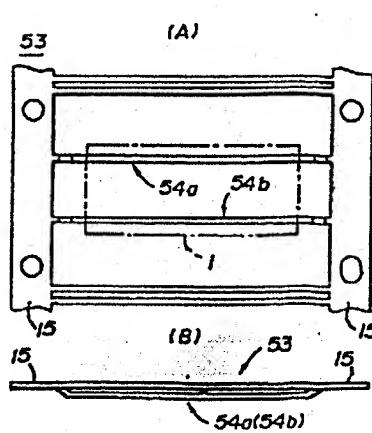
【図10】

本発明の製造方法の実施例で用いるワイヤボンディング工程を説明する図



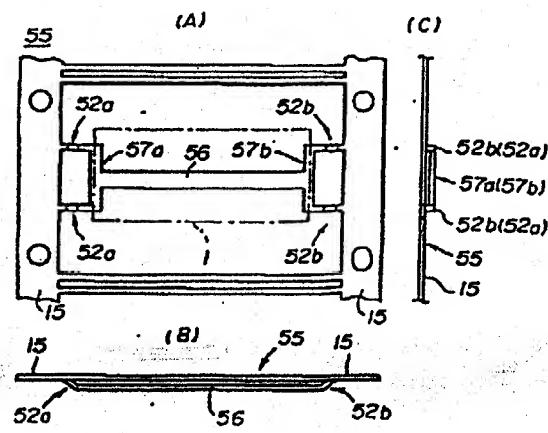
【図12】

ステージフレームの他の実施例を示す三面図



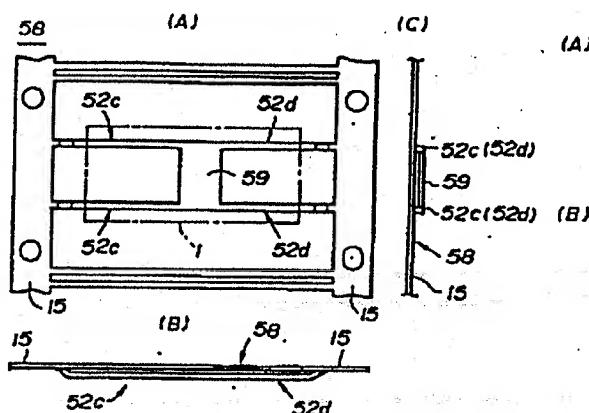
【図13】

ステージフレームの更に他の実施例を示す三面図



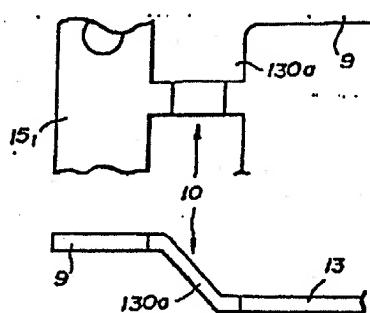
【図14】

ステージフレームの更に他の実施例を示す三面図



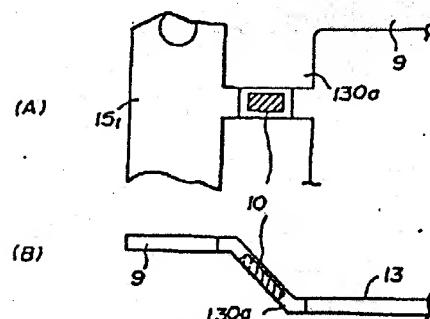
【図17】

ステージサポート部の一実施例を示す二面図



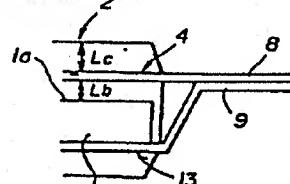
【図18】

ステージサポート部他の実施例を示す二面図



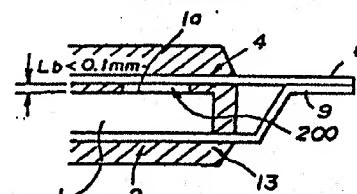
【図20】

半導体基盤の各部における封止機能の様式を説明する二面図



【図21】

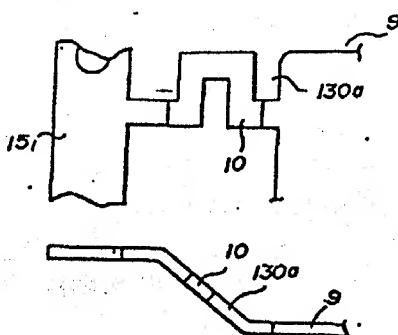
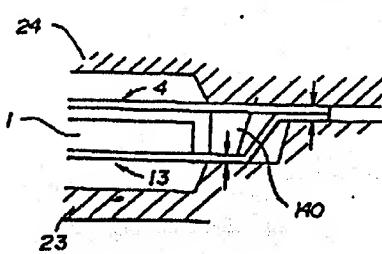
インナーリードと半導体チップの回路形成面との間に形成される未充填部分を説明する図



【図22】

製造方法の第4実施例で用いられるステージサポート部の要部を示す二面図

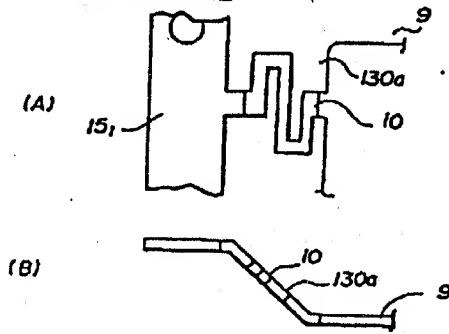
本発明による製造方法の第4実施例を説明するための図



【図23】

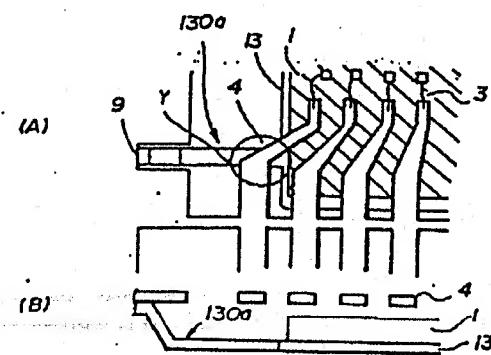
【図24】

製造方法の第4実施例で用いられる他のステージサポート部の実例を示す二面図



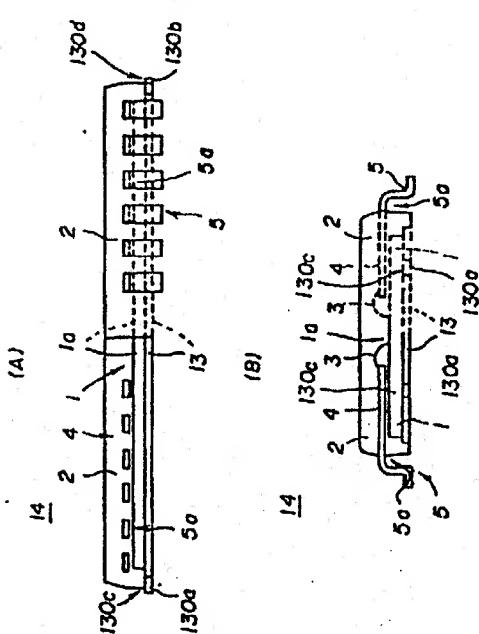
【図25】

本発明になる半導体装置の第2実施例を示す二面図



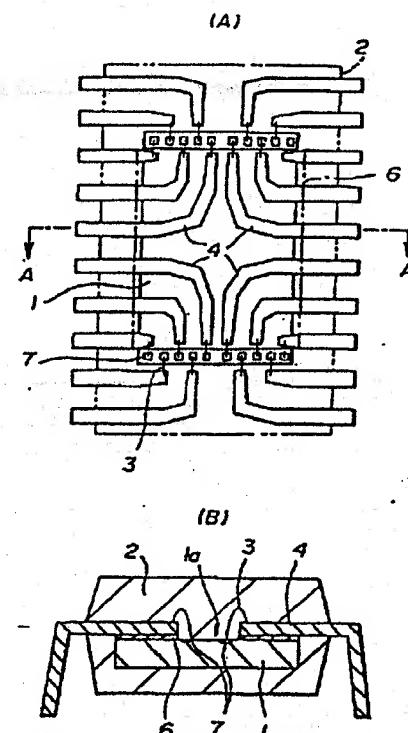
【図26】

本発明になる半導体装置の第3実施例を示す二面図



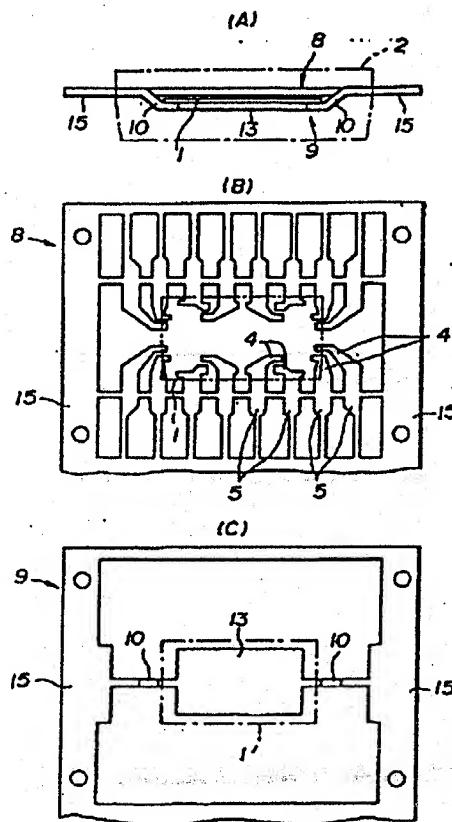
【図27】

従来のLOC構造の半導体装置の一例を示す二面図



【図28】

従来のLOC構造の半導体構造の他の例を示す図



フロントページの続き

(72)発明者 ▲吉▼本 正則

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 竹下 康一

鹿児島県薩摩郡入来町副田5950番地 株式
会社九州富士通エレクトロニクス内